

2GSPS 手持采集记录仪

一、概述

为了实现宽带信号便携式采集，拟开发一款 1 通道采集仪，该采集仪带 2GSPS 单采集通道，同时可以实现信号存储、分析、显示。

二、主要参数

- 采集通道：1 通道
- 通道 1 频率：2GSPS@12bit
- 显示屏：7 寸
- 架构方式：Arm+FPGA
- FPGA: Xilinx K7 325T
- Arm: ZynQ xc7z020
- 系统：Win7
- 软件：VC
- 存储容量：2TB
- 存储速度：4GB/S
- 尺寸：200mm*125mm*65mm
- 重量：2.5Kg

三、框图

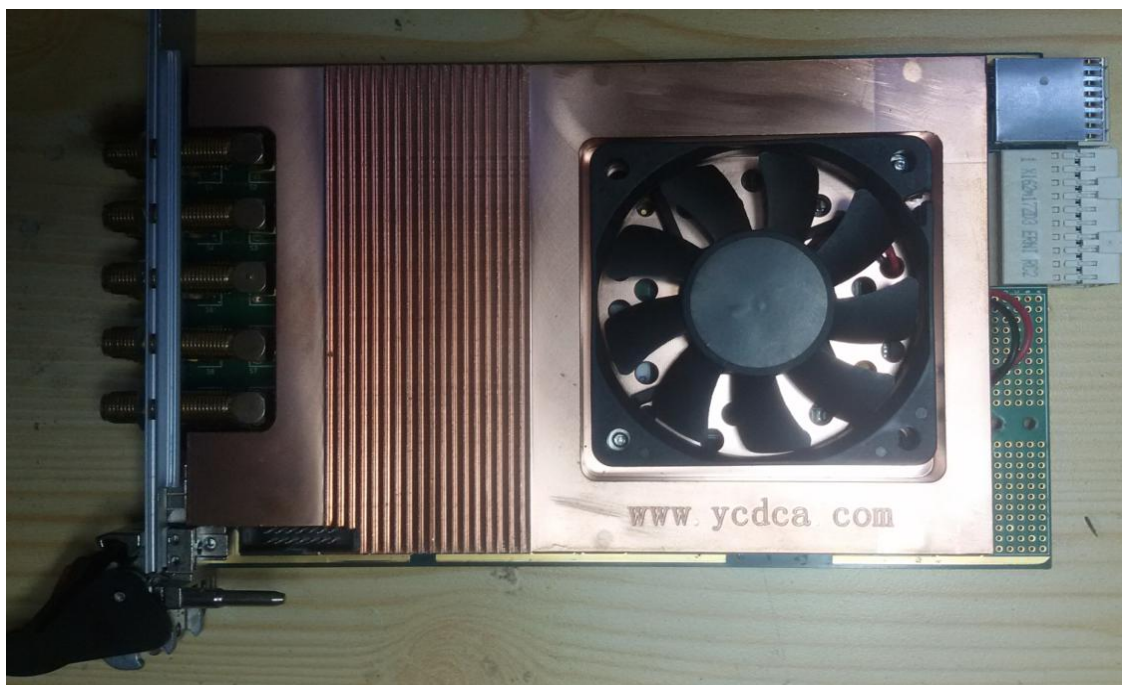
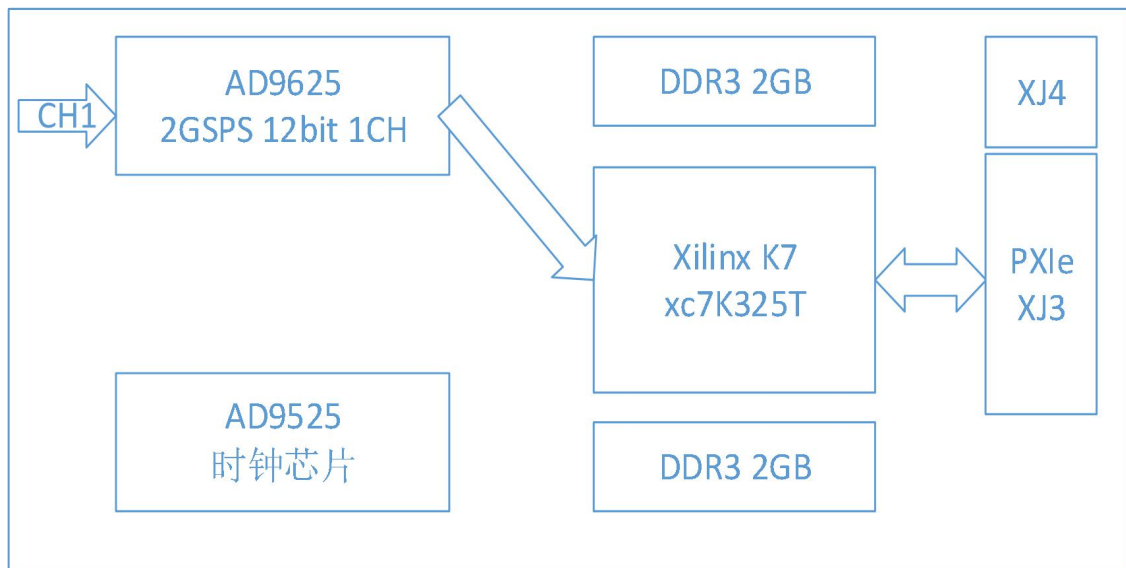
系统框图



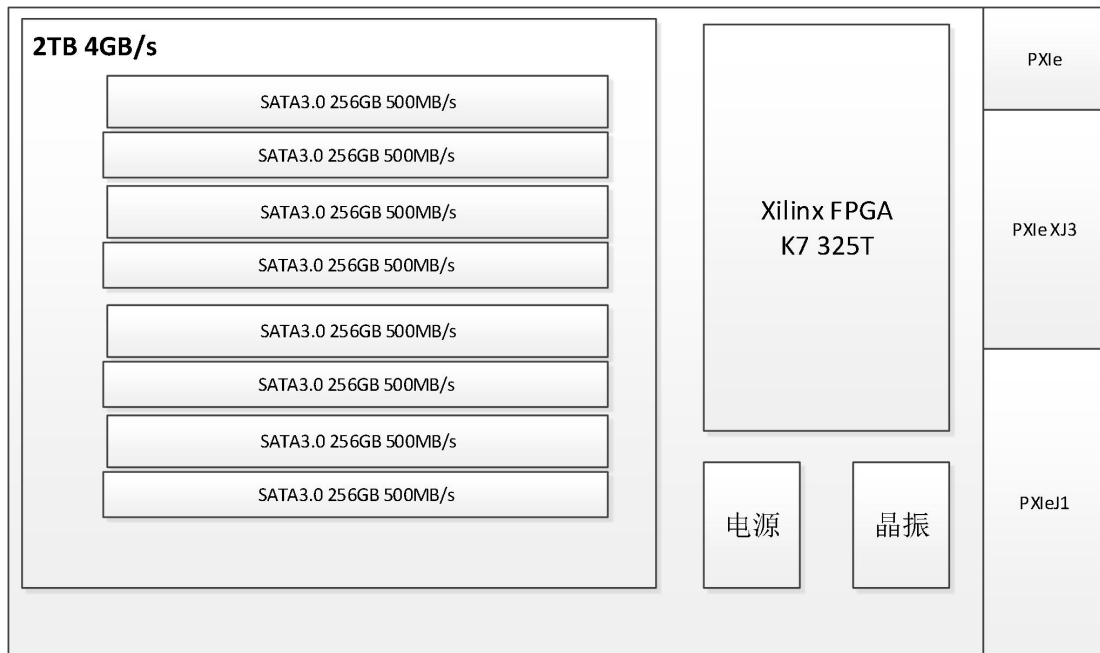
效果图



采集板卡框图



存储板卡框图



实物图：



四、设备描述

4.1 ADC1 选型：

AD9625 是一款采样率为 2GSPS 的 ADC 器件，但是该器件的一个新的版本可以获得更高的采样率。AD9625-2.5 可以简化 RF 信号到数字信号的接口要求，它的内部集成了 2 个数字下变频器

(DDC) , 两个数控振荡器 (NCO) 和一个为输出数据提供串行连接的可配置的 JESD204B。

产品特性

12位、2.5 GSPS ADC, 无失码
 SFDR = 79 dBc, AIN高达1 GHz(-1 dBFS, 2.5 GSPS)
 SFDR = 75 dBc, AIN高达1.8 GHz(-1 dBFS, 2.5 GSPS)
 SNR = 57.6 dBFS, AIN高达1 GHz(-1 dBFS, 2.5 GSPS)
 SNR = 56.7 dBFS, AIN高达1.8 GHz(-1 dBFS, 2.5 GSPS)
 噪声频谱密度 = -150 dBFS/Hz (2.5 GSPS)
 功耗: 3.8 W (2.5 GSPS)
 差分模拟输入: 1.1 V_{p-p}
 差分时钟输入
 高速6或8通道JESD204B串行输出
 Subclass 1: 6.25 Gbps (2.5 GSPS)
 两个独立的1/8抽取或1/16抽取滤波器和10位NCO
 电源电压: 1.3 V、2.5 V
 串行端口控制
 灵活的数字输出模式
 内置可选数字测试码

应用

频谱分析仪
 军用通信
 雷达
 高性能数字存储示波器
 有源干扰/抗干扰
 电子监控和对抗

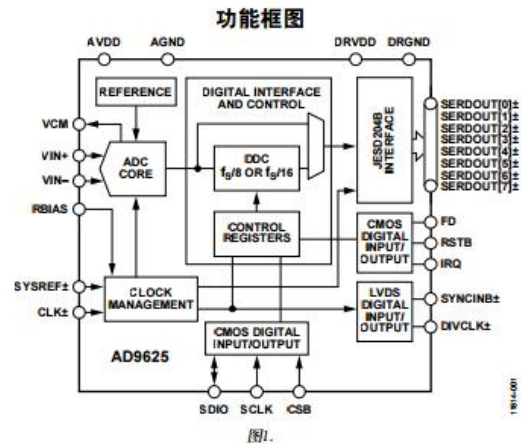
概述

AD9625是一款12位单芯片采样模数转换器(ADC), 转换速率高达2.5 GSPS。本产品设计用于对高达第二奈奎斯特区的宽带模拟信号进行采样。AD9625集宽输入带宽、高采样速率和出色的线性度等特性于一身, 非常适合于频谱分析仪、数据采集系统以及各式军工电子应用, 比如雷达和干扰/抗干扰措施等。

模拟输入、时钟和SYSREF±信号均为差分输入信号。基于JESD204B的高速串行输出可采用1、2、4、6或8通道配置。额定温度范围为-40°C至+85°C工业温度范围。

4.2 ADC2 选型

AD6649 是一款可以工作在 140MSPS 的双通道 ADC, 本项目使用 1 片实现 1 通道 140MSPS 采集, 1 通道 70MSPS 采集。



产品特色

1. 高性能: 高采样速率应用中具有出色的SFDR性能, 提供直接RF采样和片内基准电压源。
2. 基于JESD204B规范的灵活数字数据输出格式。
3. 提供控制路径SPI接口端口, 支持各种产品特性和功能, 比如数据格式化、增益和失调校准值。

FEATURES

SNR = 73.0 dBFS in a 95 MHz bandwidth at 185 MHz A_{IN} and 245.76 MSPS
SFDR = 85 dBc at 185 MHz A_{IN} and 250 MSPS
Noise density = -151.2 dBFS/Hz input at 185 MHz, -1 dBFS A_{IN} and 250 MSPS
Total power consumption: 1 W with fixed-frequency NCO, 95 MHz FIR filter
1.8 V supply voltages
LVDS (ANSI-644 levels) outputs
Integer 1-to-8 input clock divider (625 MHz maximum input)
Integrated dual-channel ADC
Sample rates of up to 250 MSPS
IF sampling frequencies to 400 MHz
Internal ADC voltage reference
Flexible input range
1.4 V p-p to 2.1 V p-p (1.75 V p-p nominal)
ADC clock duty cycle stabilizer
95 dB channel isolation/crosstalk
Integrated wideband digital processor
32-bit complex numerically controlled oscillator (NCO)
FIR filter with 2 modes
Real output from an $f_s/4$ output NCO
Amplitude detect bits for efficient AGC implementation
Energy saving power-down modes
Decimated, interleaved real LVDS data outputs

APPLICATIONS

Communications
Diversity radio systems
Multimode digital receivers (3G)
TD-SCDMA, WiMax, WCDMA, CDMA2000, GSM, EDGE, LTE
General-purpose software radios
Broadband data applications

GENERAL DESCRIPTION

The AD6649 is a mixed-signal intermediate frequency (IF) receiver consisting of dual 14-bit, 250 MSPS ADCs and a wideband digital downconverter (DDC). The AD6649 is designed to support communications applications, where low cost, small size, wide bandwidth, and versatility are desired.

The dual ADC cores feature a multistage, differential pipelined architecture with integrated output error correction logic. Each ADC features wide bandwidth inputs supporting a variety of user-selectable input ranges. An integrated voltage reference eases design considerations. A duty cycle stabilizer is provided to compensate for variations in the ADC clock duty cycle, allowing the converters to maintain excellent performance.

FUNCTIONAL BLOCK DIAGRAM

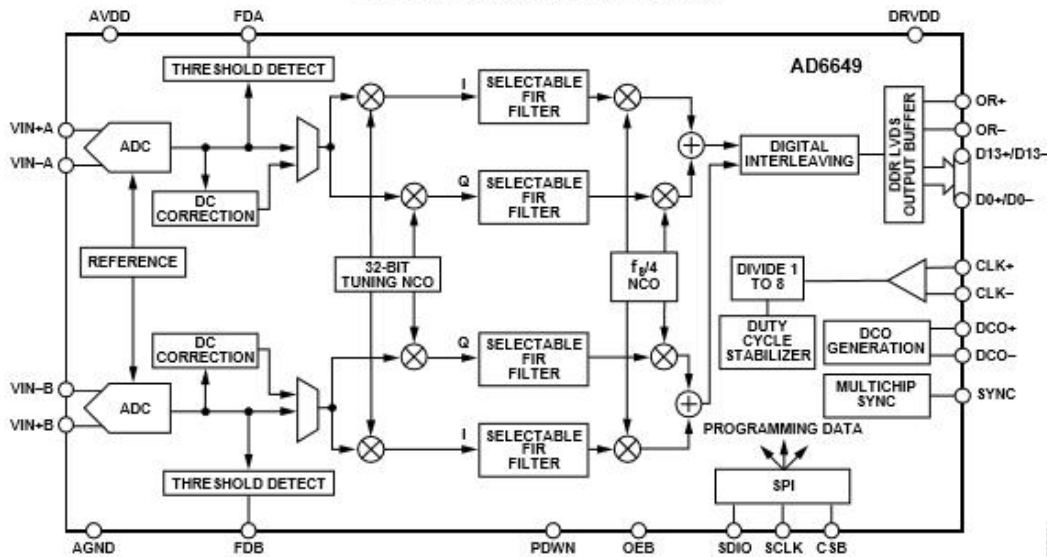


Figure 1.

4.3 时钟芯片选型:

本设计拟采用 AD9525 作为时钟芯片。

特性

集成超低噪声频率合成器
8路差分3.6 GHz LVPECL输出和1路LVPECL SYNC输出或2路CMOS SYNC输出
2路差分参考输入和1路单端参考输入

应用

LTE和多载波GSM基站
为高速ADC、DAC提供时钟
自动测试设备(ATE)和高性能仪器仪表
40/100 Gb/s OTN线路端时钟
电缆/DOCSIS CMTS时钟
测试与测量

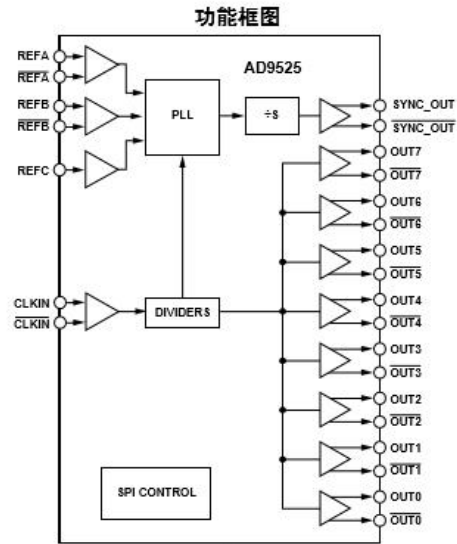


图1.

4.4 FPGA 控制

FPGA 采用 Xilinx K7 325T, 该芯片 Kintex™-7 325T 现场可编程门阵列 (FPGA), 成为业界推出最快的 28nm 新一代可编程逻辑器件产品。Kintex-7 FPGA 将以最低的功耗提供最优的性价比, 以满足主要应用需求。与此同时, Kintex-7 FPGA 系列产品利用 28nm 7 系列所共享的统一架构, 还可以支持客户也能马上着手那些最终将迁移至 Artix™-7 和 Virtex®-7 FPGA 的设计。K7 功耗明显比 V6 低很多。Kintex-7 器件将同赛灵思 ISE® 13 设计套件、AMBA® 4 高级可扩展接口 (AXI™) 总线协议兼容 IP 和目标参考设计一并提供, 所有这些目标设计平台的组件都将在此次演示的全新 Kintex-7 FPGA KC705 评估板上运行。设计人员可以对全新 Kintex-7 K325T 器件的功耗、性能和功能进行全面评估。依靠台积电 (TSMC) 公司建立在业经验证的设计和制造方

法之上的 28nm 高性能、低功耗（HPL）工艺。下面是芯片内部资料。

Kintex-7 FPGA Feature Summary

Table 4: Kintex-7 FPGA Feature Summary by Device

Device	Logic Cells	Configurable Logic Blocks (CLBs)		DSP Slices ⁽²⁾	Block RAM Blocks ⁽³⁾			CMTs ⁽⁴⁾	PCIe ⁽⁵⁾	GTXs	XADC Blocks	Total I/O Banks ⁽⁶⁾	Max User I/O ⁽⁷⁾
		Slices ⁽¹⁾	Max Distributed RAM (Kb)		18 Kb	36 Kb	Max (Kb)						
XC7K70T	65,600	10,250	838	240	270	135	4,860	6	1	8	1	6	300
XC7K160T	162,240	25,350	2,188	600	650	325	11,700	8	1	8	1	8	400
XC7K325T	326,080	50,950	4,000	840	890	445	16,020	10	1	16	1	10	500
XC7K355T	356,160	55,650	5,088	1,440	1,430	715	25,740	6	1	24	1	6	300
XC7K410T	406,720	63,550	5,663	1,540	1,590	795	28,620	10	1	16	1	10	500
XC7K420T	416,960	65,150	5,938	1,680	1,670	835	30,060	8	1	32	1	8	400
XC7K480T	477,760	74,650	6,788	1,920	1,910	955	34,380	8	1	32	1	8	400

4.5 Arm 控制

Zynq-7000 All Programmable SoC First Generation Architecture

The Zynq®-7000 family is based on the Xilinx All Programmable SoC architecture. These products integrate a feature-rich dual-core ARM® Cortex™-A9 based processing system (PS) and 28 nm Xilinx programmable logic (PL) in a single device. The ARM Cortex-A9 CPUs are the heart of the PS and also include on-chip memory, external memory interfaces, and a rich set of peripheral connectivity interfaces.

Processing System (PS)

Dual-core ARM® Cortex™-A9 Based Application Processor Unit (APU)

- 2.5 DMIPS/MHz per CPU
- CPU frequency: Up to 1 GHz
- Coherent multiprocessor support
- ARMv7-A architecture
 - TrustZone® security
 - Thumb®-2 instruction set
- Jazelle® RCT execution Environment Architecture
- NEON™ media-processing engine
- Single and double precision Vector Floating Point Unit (VFPv3)
- CoreSight™ and Program Trace Macrocell (PTM)
- Timer and Interrupts
 - Three watchdog timers
 - One global timer
 - Two triple-timer counters

Caches

- 32 KB Level 1 4-way set-associative instruction and data caches (independent for each CPU)
- 512 KB 8-way set-associative Level 2 cache (shared between the CPUs)
- Byte-parity support

On-Chip Memory

- On-chip boot ROM
- 256 KB on-chip RAM (OCM)
- Byte-parity support

External Memory Interfaces

- Multiprotocol dynamic memory controller
- 16-bit or 32-bit interfaces to DDR3, DDR3L, DDR2, or LPDDR2 memories
- ECC support in 16-bit mode
- 1GB of address space using single rank of 8-, 16-, or 32-bit-wide memories
- Static memory interfaces

I/O Peripherals and Interfaces

- Two 10/100/1000 tri-speed Ethernet MAC peripherals with IEEE Std 802.3 and IEEE Std 1588 revision 2.0 support
 - Scatter-gather DMA capability
 - Recognition of 1588 rev. 2 PTP frames
 - GMII, RGMII, and SGMII interfaces
- Two USB 2.0 OTG peripherals, each supporting up to 12 Endpoints
 - USB 2.0 compliant device IP core
 - Supports on-the-go, high-speed, full-speed, and low-speed modes
 - Intel EHCI compliant USB host
 - 8-bit ULPI external PHY interface
- Two full CAN 2.0B compliant CAN bus interfaces
 - CAN 2.0-A and CAN 2.0-B and ISO 118981-1 standard compliant
 - External PHY interface
- Two SD/SDIO 2.0/MMC3.31 compliant controllers
- Two full-duplex SPI ports with three peripheral chip selects
- Two high-speed UARTs (up to 1 Mb/s)
- Two master and slave I2C interfaces
- GPIO with four 32-bit banks, of which up to 54 bits can be used with the PS I/O (one bank of 32b and one bank of 22b) and up to 64 bits (up to two banks of 32b) connected to the Programmable Logic
- Up to 54 flexible multiplexed I/O (MIO) for peripheral pin assignments

Interconnect

- High-bandwidth connectivity within PS and between PS and PL
- ARM AMBA® AXI based
- QoS support on critical masters for latency and bandwidth control

Programmable Logic (PL)

Configurable Logic Blocks (CLB)

- Look-up tables (LUT)
- Flip-flops
- Cascadeable adders

Arm 采用 Zynq,Zynq 基于 ARM 双核 CortexA9 的应用处理器,ARM-v7 架构,高达 1GHz,单/双精度浮点单元,NEON 多媒体处理引擎;缓存

每个 CPU 32KB 1 级指令和数据缓存,512KB 2 级缓存,2 个 CPU 共享,支持 8 位奇偶校验;

片内存储

片上 boot ROM,256KB 片内 RAM

外部存储接口

多协议动态内存控制器,16/32 bit DDR2、DDR3 接口,16 位 ECC 支持,1GB 地址空间,静态存储接口: 8bit SRAM, 并行 NOR Flash, ONFI1.0 NANDFlash 接口, 1-4bit SPI Flash 支持

IO 外设和接口

两个千兆网卡支持: 发散-聚集 DMA , GMII, RGMII, SGMII 接口

两个 USB2.0 OTG 接口, 每个最多支持 12 节点

两个 CAN2.0B 总线接口

两个 SD 卡、SDIO、MMC 兼容控制器

2 个 SPI, 2 个 UARTs, 2 个 I2C 接口

4 组 32bit GPIO, 54 (32+22) 作为 PS 系统 IO, 64 连接到 PL

互联

PS 内和 PS 到 PL 的高带宽连接

基于 ARM AMBA AXI 总线

传输质量控制和带宽控制

可编程逻辑 (PL) 概述

可编程逻辑块

LUT、触发器、级联加法器

36Kb 块 RAM

全双口

最高 72bit 宽度

可编程 IO 块

支持 LVCMOS, LVDS 和 SSTL

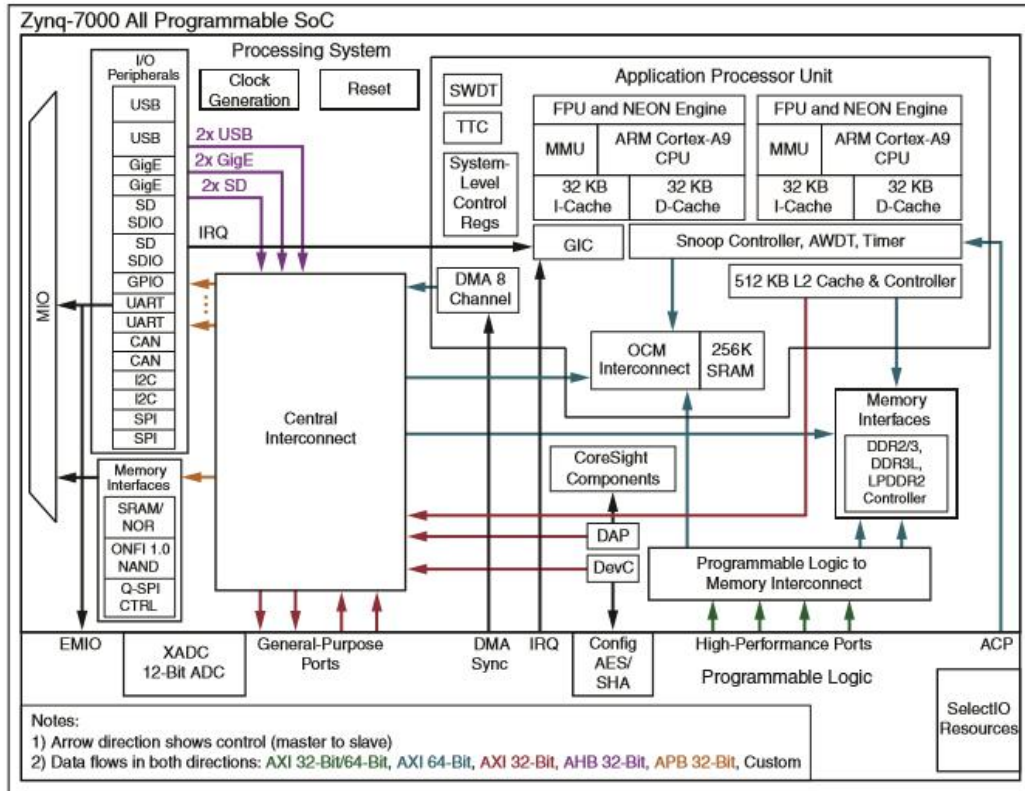
1.2V 到 3.3V IO

可编程延时和 SerDes

Zynq-7020 特定的性能和资源量

PS: CPU 有 800MHz

PL: 85K 逻辑单元 (约等效于 130 万门); 53.2K 查找表; 106K 触发器; 220 个 DSP 单元; 2 个 12bit XADC 最多 17 通道



DS190_01_030113

Figure 1: Zynq-7000 All Programmable SoC Overview

4.6 存储部分

存储实现是利用 FPGA 驱动 8 路 SATA 固态硬盘实现的，每路固态硬盘速率可达到 500MB/s，从而组合实现一个 4GB/s 读写速度的固态硬盘。

下面是固态硬盘的资料：

规格参数

特征

容量: 250 GB

控制器: 三星 MGX 控制器

抗震性: 1,500G ,持续 0.5 毫秒 (特征)

DRAM 高速缓存: 三星 512MB 低功耗 DDR3 SDRAM 3.85mm(D)

尺寸 (WxHxD): (29.85 ± 0.15) x (50.80 ± 0.15) x Max 3.85 (mm)

接口: mSATA SATA6Gb/s(与SATA 3Gb/s和SATA接口 1.5Gb/s兼容)

软件: Magician Software for SSD management

垃圾回收: 支持

S.M.A.R.T: 支持

NAND闪存: 三星 32 层 3D V-NAND

重量: 6.8g



特殊功能

安全:AES 256 位加密 支持 TCG/Opal, IEEE1667

性能

顺序读取: 540MB/s

顺序写入: 520MB/s

4KB 随机读取(QD32): 95,000 IOPS

4KB 随机写入(QD32): 88,000 IOPS

4KB 随机读取 (QD1): 10,000 IOPS

4KB 随机写入(QD1): 40,000 IOPS

环境

可靠性:MTBF: 1,500,000 小时

运行温度:0° C – 70° C

湿度:5% 至 95%, 不凝结

非运行温度:-40° C – 85° C

保修

保修:5 年有限保修或 75 tbw 有限保修

电源功耗

电源功耗:闲置: 50 mW